

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-328837

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

G06F 12/06

G06F 12/00

(21)Application number : 2001-131116

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.04.2001

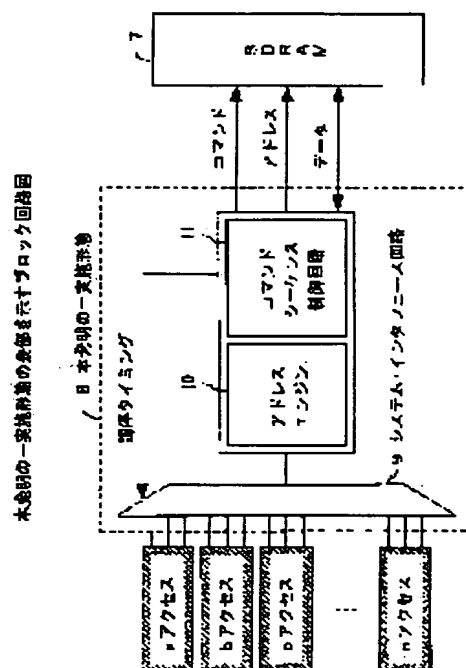
(72)Inventor : KYO REI  
WATABE YASUHIRO

## (54) MEMORY CONTROLLER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce circuit scale, to flexibly cope with a change of application, etc., and to enhance reusability regarding a memory controller by preferably being used for the real time processing application having many kinds of memory access factors such as MPEG CODEC and a digital broadcast receiver, etc.

**SOLUTION:** The memory controller is provided with a system interface circuit 9 to mediate a plurality of access requests (a) to (n) from an accessing origin of an SDRAM 7 and to extract a block to access the SDRAM 7. An address engine 10 and a command sequence control circuit 11 common to the plurality of access factors (a) to (n) are installed on the rear stage of the system interface circuit 9.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-328837

(P2002-328837A)

(43)公開日 平成14年11月15日(2002.11.15)

(51)Int.Cl.

G 0 6 F 12/06  
12/00

識別記号

5 5 0  
5 9 7

F I

C 0 6 F 12/06  
12/00

データベース(参考)

S 5 0 A 5 B 0 6 0  
5 9 7 C

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号 特願2001-131116(P2001-131116)

(22)出願日 平成13年4月27日(2001.4.27)

(71)出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 姜 黎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 渡部 康弘

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100092174

弁理士 平戸 哲夫

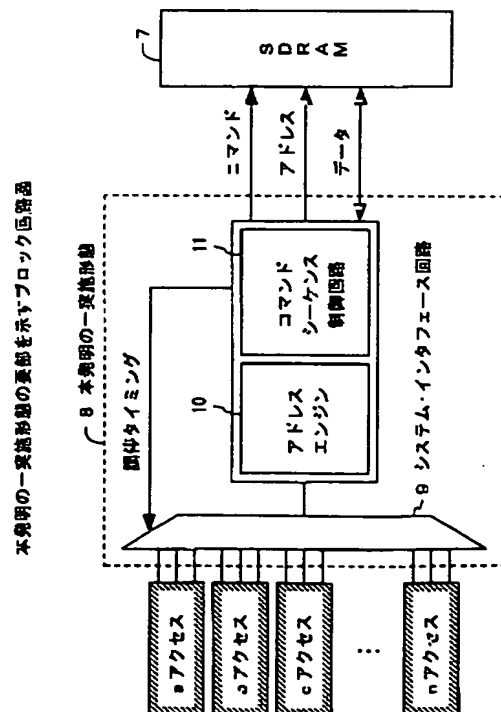
Fターム(参考) 5B060 CD16

(54)【発明の名称】 メモリ・コントローラ

(57)【要約】

【課題】MPEGコーデックやデジタル放送受信機等のような多種類のメモリ・アクセス要因を持つリアル・タイム処理アプリケーションに使用して好適なメモリ・コントローラに関し、回路規模を縮小化できると共に、アプリケーションの変更等に柔軟に対応でき、再利用性が高いものとする。

【解決手段】SDRAM7のアクセス元からの複数のアクセス要求a～nを調停してSDRAM7に対してアクセスすべきブロックを抽出するシステム・インタフェース回路9を備えると共に、システム・インタフェース回路9の後段に複数のアクセス要因a～nに対して共通のアドレス・エンジン10及びコマンド・シーケンス制御回路11を備える。



## 【特許請求の範囲】

【請求項1】複数のバンクを有するメモリに対する、複数のアクセス要因を有するアクセス元からの、画像データを構成するブロックを単位とするアクセスを制御するメモリ・コントローラであって、

前記アクセス元からの複数のアクセス要求を調停して前記メモリに対してアクセスすべきブロックを抽出するインタフェース回路を備えることを特徴とするメモリ・コントローラ。

【請求項2】前記インタフェース回路が抽出したブロックについての前記メモリに対するアクセス単位をバンクまたぎのないライン毎に分割するアドレス計算回路と、該アドレス計算回路により分割されたアクセス単位のアクセス・データの長さでコマンド発行の優先度からアクセス・データを繋ぐように前記メモリに対してコマンドを発行するコマンド・シーケンス制御回路を備えることを特徴とする請求項1記載のメモリ・コントローラ。

【請求項3】前記コマンド・シーケンス制御回路は、分割されたアクセス単位での連続するアクセスが同一バンクかつ同一row・アドレスに対するものである場合は、前記連続するアクセスのうち、最初のアクセス以外のアクセスについては、プリチャージ・コマンド及びアクティブ・コマンドの発行を省略して連続アクセスを実行することを特徴とする請求項2記載のメモリ・コントローラ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MPEG (Moving Picture Experts Group) コーデックやデジタル放送受信機などのような多種類のメモリ・アクセス要因を持つリアル・タイム処理アプリケーションに使用して好適なメモリ・コントローラに関する。

【0002】汎用のPC (Personal Computer) のSDRAM (Synchronous DRAM) コントローラと違って、MPEGコーデックやデジタル放送受信機などのような多種類のメモリ・アクセス要因を持つリアル・タイム処理アプリケーションのメモリ・コントローラには、リアル・タイム処理の効率性が要求されている。

## 【0003】

【従来の技術】図11は画像データを構成する1つのブロックを示している。今、SDRAMのアクセス元からSDRAMに対して、このブロックについて、ライト・アクセス要求が発生したとする。但し、ブロックの第1ラインの第1画素～第4画素のデータはバンク (BANK) 0をアクセス先、第2ラインの第1画素～第4画素のデータはバンク1をアクセス先、第3ラインの第1画素～第4画素及び第4ラインの第1画素のデータはバンク2をアクセス先、第4ラインの第2画素～第4画素のデータはバンク3をアクセス先としているものとする。

【0004】このライト・アクセス制御を汎用のPCの

SDRAMコントローラを使用して行う場合、汎用のPCのSDRAMコントローラのランダム・アクセス・モードで、図12に示すように、各ラインの各バンクのコマンド・シーケンスを独立して発行することになる。図12中、「actv」はアクティブ・コマンド、「wrt」はライト・コマンド、「pre」はプリチャージ・コマンドである。

【0005】すなわち、汎用のPCのSDRAMコントローラは、まず、第1ラインの第1画素～第4画素のデータについて、バンク0にライト・アクセスするためのコマンド・シーケンス (bank0 command sequence) を発行し、次に、第2ラインの第1画素～第4画素のデータについて、バンク1にアクセスするためのコマンド・シーケンス (bank1 command sequence) を発行し、次に、第3ラインの第1画素～第4画素のデータについて、バンク2にアクセスするためのコマンド・シーケンス (bank2 command sequence) を発行し、次に、第4ラインの第1画素のデータについて、バンク2にアクセスするためのコマンド・シーケンス (bank2 command sequence) を発行し、次に、第4ラインの第2画素～第4画素のデータについて、バンク3にアクセスするためのコマンド・シーケンス (bank3 command sequence) を発行する。

【0006】このように、汎用のPCのSDRAMコントローラは、各ラインの各バンクのコマンド・シーケンスを独立して発行するため、SDRAMに連続してデータを送ることができず、アクセス効率が低いという問題を有している。ところが、MPEGシステムのようなアプリケーションでは、このような小さなブロックについてのアクセス頻度が非常に高い。そこで、従来のMPEGシステムのメモリ・コントローラでは、専用制御回路で、図13に示すように、各バンクのコマンド・シーケンスを重ねて各アクセスを繋ぐことにより隙間のないコマンド・シーケンスを作成し、SDRAMに連続してデータを送るという手法がとられている。図13中、「cmd」はcommandの略である。

【0007】図14は従来のMPEGシステムのメモリ・コントローラの要部を示すブロック回路図である。図14中、1はSDRAM、2は従来のメモリ・コントローラであり、3a、3b、3c、3nは各アクセス要因a、b、c、nに対応して設けられているアドレス計算回路、4a、4b、4c、4nは各アクセス要因a、b、c、nに対応して設けられているコマンド・シーケンス制御回路、5はセクタ、6はアドレス計算回路3a～3n、コマンド・シーケンス回路4a～4n及びセクタ5の動作タイミングを制御するタイミング制御回路である。

## 【0008】

【発明が解決しようとする課題】図14に示す従来のメモリ・コントローラは、アプリケーションが要求するアクセス・レイテンシ、SDRAMバスのバンド幅及びス

ケジューリングを満たすのに有効であり、かつ、アクセス効率を高めることができるが、専用制御回路を各アクセス要因ごとに設けなければならない、回路規模が増大してしまうという問題点を有していた。

【0009】また、専用制御回路はアプリケーションに依存することになるため、専用制御回路を各アクセス要因ごとに設ける場合には、アプリケーションの変更や、機能拡張時のメモリ・マッピングの変更や、アクセス要因の変更や、SDRAMのタイミング・パラメータの変更などに対応しにくく、柔軟性に欠け、再利用性が低くなるという問題点があった。

【0010】本発明は、かかる点に鑑み、回路規模を縮小しつつ、複数のアクセス要因に対応し、かつ、アプリケーションの変更や、機能拡張時のメモリ・マッピングの変更や、アクセス要因の変更や、SDRAMのタイミング・パラメータの変更などに柔軟に対応することができる、再利用性の高いメモリ・コントローラを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、複数のバンクを有するメモリに対する、複数のアクセス要因を有するアクセス元からの、画像データを構成するブロックを単位とするアクセスを制御するメモリ・コントローラであって、アクセス元からの複数のアクセス要求を調停してメモリに対してアクセスすべきブロックを抽出するインタフェース回路を備えるというものである。

【0012】本発明によれば、個々のアクセス要因に対応させてアドレス計算回路及びコマンド・シーケンス制御回路を備える必要がなく、インタフェース回路の後段に複数のアクセス要因に対して共通のアドレス計算回路及びコマンド・シーケンス制御回路を設ければ足りる。

【0013】

【発明の実施の形態】図1は本発明の一実施形態の要部を示すブロック回路図である。図1中、7は4個のバンクを有するSDRAM、8は本発明の一実施形態であり、本発明の一実施形態8は、システム・インタフェース回路9と、アドレス計算回路をなすアドレス・エンジン10と、コマンド・シーケンス制御回路11を備えている。

【0014】図2はシステム・インタフェース回路9の要部を示すブロック回路図である。システム・インタフェース回路9は、SDRAM7のアクセス元（図示せず）とのインタフェース制御を行うものであり、調停制御回路12を備え、各種のアクセス要求を調停して、アクセスしようとするブロックの先頭アドレスとサイズを抽出する。なお、13はアクセス要因の優先順位を記憶した優先順位回路である。

【0015】図3はアドレス・エンジン10の要部を示すブロック回路図である。アドレス・エンジン10は、システム・インタフェース回路9から出力されるブロッ

ク先頭アドレス及びブロック・サイズを入力して、アクセス単位をバンクまたぎのないライン毎に分割し、アクセス単位のライン毎に先頭アドレスとアクセスの長さを出力するものである。

【0016】図3中、14はシステム・インタフェース回路9から出力されたブロック先頭論理アドレスからブロックの第1ラインの先頭物理アドレスを計算するメモリマッピング回路、15はブロックの第1ライン以外のラインの先頭アドレスを計算する次ライン先頭アドレス計算回路である。

【0017】また、16はメモリ・マッピング回路14から出力される第1ラインの先頭アドレスと次ライン先頭アドレス計算回路15から出力される第1ライン以外のラインの先頭アドレスを入力してバンク分断点を分析してバンク分断点の直後のアドレスを計算するバンク分断点分析回路、17はアクセス単位の先頭アドレスとアクセスの長さを出力するセクタである。なお、バンクまたぎが発生した場合、先頭アドレスからバンクまたぎまでの長さをアクセスの長さとし、バンクまたぎが発生しない場合には、先頭アドレスから行の最後の位置までをアクセスの長さとする。

【0018】図4はアドレス・エンジン10の動作を説明するための図であり、図4Aは画像データを構成する1つのブロックを示している。今、SDRAM7のアクセス元からSDRAM7に対して、このブロックについて、ライト・アクセス要求が発生したとする。但し、ブロックの第1ラインの第1画素～第4画素のデータはバンク0をアクセス先、第2ラインの第1画素～第4画素のデータはバンク1をアクセス先、第3ラインの第1画素～第4画素及び第4ラインの第1画素のデータはバンク2をアクセス先、第4ラインの第2画素～第4画素のデータはバンク3をアクセス先としているものとする。

【0019】この場合、アドレス・エンジン10は、まず、第1ラインをアクセス単位0とし、その先頭アドレスとアクセスの長さを出力し、次に、第2ラインをアクセス単位1とし、その先頭アドレスとアクセスの長さを出力し、次に、第3ラインをアクセス単位2とし、その先頭アドレスとアクセスの長さを出力し、次に、第4ラインの第1画素からなるラインをアクセス単位3とし、その先頭アドレスとアクセスの長さを出力し、次に、第4ラインの第2画素～第4画素からなるラインをアクセス単位4とし、その先頭アドレスとアクセスの長さを出力する。このように、アドレス・エンジン10によって、アクセス単位をバンクまたぎのないライン毎に分割することによって、コマンド・シーケンス制御を汎用的に扱うことが可能となる。

【0020】図5はコマンド・シーケンス制御回路11の要部を示すブロック回路図である。コマンド・シーケンス制御回路11は、アドレス計算回路10により分割されたアクセス単位のアクセス・データの長さでコマン

ド発行の優先度からアクセス・データを繋ぐようにSDRAM 7に対してコマンドを発行するものである。

【0021】図5中、18はアドレス・バッファ／管理回路部であり、19～22はアドレス・バッファ、23はアドレス・バッファ19～22を管理するアドレス・バッファ管理回路である。アドレス・バッファ19～22は、バンクまたぎのない4つのアクセス単位と対応し、rowビット、colビット、bankビット、lengthビット、orderビット及びfillビットを有している。rowビットはロウ・アドレスを格納するビット、colビットはコラム・アドレスを格納するビット、bankビットはバンク・アドレスを格納するビット、lengthビットはアクセスの長さを格納するビット、orderビットはアクセスの順位を格納するビット、fillビットは空き状態を示すビットであり、fillビット＝“1”はアドレスがロードされた状態、fillビット＝“0”は空き状態を示している。

【0022】また、24はバンク・ステート・マシーン部であり、25はバンク0の状態をチェックし、バンク0に対する候補コマンドを生成するバンク0・ステート・マシーン、26はバンク1の状態をチェックし、バンク1に対する候補コマンドを生成するバンク1・ステート・マシーン、27はバンク2の状態をチェックし、バンク2に対する候補コマンドを生成するバンク2・ステート・マシーン、28はバンク3の状態をチェックし、バンク3に対する候補コマンドを生成するバンク3・ステート・マシーンである。

【0023】バンク・ステート・マシーン部24においては、アドレス・エンジン10からアドレス・バッファ／管理回路部18のアドレス・バッファにアドレスが供給されると、供給されたバンク・アドレスに対応するバンク・ステート・マシーンが起動され、起動されたバンク・ステート・マシーンは、対応するバンク自体のタイミングの都合やアクセスの長さをチェックしながら、候補コマンドを生成することになる。

【0024】また、29はコマンド発行調停回路であり、コマンド発行調停回路29は、バンク・ステート・マシーン25～28から出力されるactven（アクティブ・イネーブル・ステート）、wrten（ライト・イネーブル・ステート）、preen（プリチャージ・イネーブル・ステート）等のコマンド発行可能な状態の調整を行い、アクセス・データの長さやコマンド発行の優先度を見ながら、SDRAM 7へ出力する最終的なコマンドを決定する。この機能により、隙間のないコマンド・シーケンスの作成が可能となり、アクセスの効率性を上げることができる。なお、コマンド発行調停回路29は、コマンドの出力と同時にバンク・アドレス、ロウ・アドレス、コラム・アドレス及びデータ・ストローブ信号も出力する。

【0025】また、バンク・ステート・マシーン25～28及びコマンド発行調停回路29は、アクセス中、次

のアクセスが同一バンクかつ同一ロウ・アドレスである場合は、プリチャージ・コマンド及びアクティブ・コマンドを出さずに、アクセス・データを繋いで連続アクセスを実行するように機能付けられている。この機能により、隣接するラインが同一のバンク、同一のロウ・アドレスにマッピングされている場合であっても、効率良くアクセスすることができる。

【0026】図6～図10は本発明の一実施形態の動作を説明するための図であり、図6は画像データを構成する1つのブロックを示している。今、SDRAM 7のアクセス元からSDRAM 7に対して、このブロックについて、ライト・アクセス要求が発生し、システム・インタフェース回路9から、このブロックの先頭アドレス及びサイズがアドレス・エンジン10に供給されたとする。但し、ブロックの第1ラインの第1画素～第5画素のデータはバンク0をアクセス先、第2ラインの第1画素～第5画素のデータはバンク1をアクセス先、第3ラインの第1画素～第5画素のデータはバンク2をアクセス先、第4ラインの第1画素のデータはバンク3をアクセス先、第4ラインの第2画素～第5画素及び第5ラインの第1画素のデータはバンク0をアクセス先、第5ラインの第2画素～第5画素のデータはバンク1をアクセス先としているものとする。

【0027】この場合、アドレス・エンジン10は、図7に示すように、まず、第1ラインをアクセス単位0とし、その先頭アドレスとアクセスの長さを出力し、次に、第2ラインをアクセス単位1とし、その先頭アドレスとアクセスの長さを出力し、次に、第3ラインをアクセス単位2とし、その先頭アドレスとアクセスの長さを出力し、次に、第4ラインの第1画素からなるラインをアクセス単位3とし、その先頭アドレスとアクセスの長さを出力し、次に、第4ラインの第2画素～第5画素からなるラインをアクセス単位4とし、その先頭アドレスとアクセスの長さを出力し、次に、第5ラインの第1画素からなるラインをアクセス単位5とし、その先頭アドレスとアクセスの長さを出力し、次に、第5ラインの第2画素～第5画素からなるラインをアクセス単位6とし、その先頭アドレスとアクセスの長さを出力する。

【0028】コマンド・シーケンス制御回路11においては、バンク・ステート・マシーン25～28は、図8～図10に示すように、アクティブ・コマンド（actv）を発行できるタイミングでアクティブ・イネーブル・ステート（actven）に転移し、ライト・コマンド（wrt）を発行できるタイミングでライト・イネーブル・ステート（wrten）に転移し、プリチャージ・コマンド（pre）を発行できるタイミングでプリチャージ・イネーブル・ステート（preen）に転移する。図8～図10中、「LD」はLast Dataの略である。なお、候補コマンドを生成する状態は、tRP、tRCD、tRAS、tWR等のタイミング・パラメータの値に応じて転移する。

【0029】コマンド発行調停回路29は、バンク・ステート・マシンの25～28から出力されたacten、wrt en、preen等のコマンド発行可能な状態の調整を行い、アクセス・データの長さでコマンドの発行の優先度を見ながら、アクセス・データを繋ぐように、SDRAM7に出力する最終的なコマンドを決定する。そして、これと同時に、アドレス・バッファ番号と対応付けられたバンク・アドレス、ロウ・アドレス、コラム・アドレス及びデータ・ストロブ信号を出力する。

【0030】そして、1個のアドレス・バッファについてSDRAM7に対するアクセスが終了したら、コマンド・シーケンス制御回路11は、新しいアドレスの供給をアドレス・エンジン10へ要求し、これらの処理を繰り返すことにより、図6に示すブロックについてのライト・アクセス制御を行うことになる。また、アクセス中、カレントのデータ長が終わったら、アドレス・バッファ19～22の中身をチェックして、同一バンク・アドレスかつ同一ロウ・アドレスの候補アクセス単位が存在する場合には、プリチャージ・コマンド及びアクティブ・コマンドを出さずに、アクセス・データを繋いで連続アクセスを実行する。

【0031】たとえば、サイクル28においては、サイクル25からバンク0にライトを開始したデータのライトが終了するので、アドレス・バッファ19～22の中身をチェックして、同一バンク（バンク0）で同一のロウ・アドレスの候補アクセス単位が存在するか否かをチェックすることになる。この例では、アクセス単位5のロウ・アドレスは、アクセス単位4と同一であると仮定しており、したがって、この例の場合には、プリチャージ・コマンド及びアクティブ・コマンドを出さずに、サイクル25～29に示すように、アクセス単位4のアクセス・データとアクセス単位5のアクセス・データとを繋いで連続アクセスを実行することになる。

【0032】このように、本発明の一実施形態によれば、SDRAM7のアクセス元からの複数のアクセス要求を調停してSDRAM7に対してアクセスすべきブロックを抽出するシステム・インタフェース回路9を備えているので、図14に示すように、個々のアクセス要因a～nに対応させてアドレス計算回路3a～3n及びコマンド・シーケンス制御回路4a～4nを備える必要がなく、システム・インタフェース回路9の後段に複数のアクセス要因a～nに対して共通のアドレス・エンジン10及びコマンド・シーケンス制御回路11を備えれば足りる。したがって、複数のアクセス要因a～nに対応することができるにもかかわらず、回路規模の縮小化を図ることができる。

【0033】また、本発明の一実施形態によれば、システム・インタフェース回路9及びアドレス・エンジン10の部分はアプリケーションに依存することになるが、他の部分は汎用性を持つことができるため、アプリケー

ションの変更や、機能拡張時のメモリ・マッピングの変更や、アクセス要因の変更や、SDRAMのタイミング・パラメータの変更などに柔軟に対応することができ、再利用性の高い回路構成とすることができる。

【0034】なお、図4には、4（幅）×4（高さ）のブロック、図6には、5（幅）×5（高さ）のブロックを示しているが、1ラインからなるブロックは、高さが1のブロックとして扱うことができる。

【0035】

【発明の効果】以上のように、本発明によれば、アクセス元からの複数のアクセス要求を調停してメモリに対してアクセスすべきブロックを抽出するインタフェース回路を備えるとしたことにより、個々のアクセス要因に対応させてアドレス計算回路及びコマンド・シーケンス制御回路を備える必要がなく、インタフェース回路の後段に複数のアクセス要因に対して共通のアドレス計算回路及びコマンド・シーケンス制御回路を備えれば足りるので、回路規模の縮小化を図ることができるに共に、アプリケーションの変更や、機能拡張時のメモリ・マッピングの変更や、アクセス要因の変更や、SDRAMのタイミング・パラメータの変更などに柔軟に対応することができ、再利用性の高いものとすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の要部を示すブロック回路図である。

【図2】本発明の一実施形態が備えるシステム・インタフェース回路の要部を示すブロック回路図である。

【図3】本発明の一実施形態が備えるアドレス・エンジンの要部を示すブロック回路図である。

【図4】本発明の一実施形態が備えるアドレス・エンジンの動作を説明するための図である。

【図5】本発明の一実施形態が備えるコマンド・シーケンス制御回路の要部を示すブロック回路図である。

【図6】本発明の一実施形態の動作を説明するための図である。

【図7】本発明の一実施形態の動作を説明するための図である。

【図8】本発明の一実施形態の動作を説明するためのタイミングチャートである。

【図9】本発明の一実施形態の動作を説明するためのタイミングチャートである。

【図10】本発明の一実施形態の動作を説明するためのタイミングチャートである。

【図11】画像データを構成する1つのブロックを示す図である。

【図12】汎用のPCのSDRAMコントローラの動作例を示すタイミングチャートである。

【図13】従来のMPEGシステムのメモリ・コントローラでのコマンド・シーケンス作成例を示すタイミングチャートである。

【図14】従来のMPEGシステムのメモリ・コントローラの要部を示すブロック回路図である。

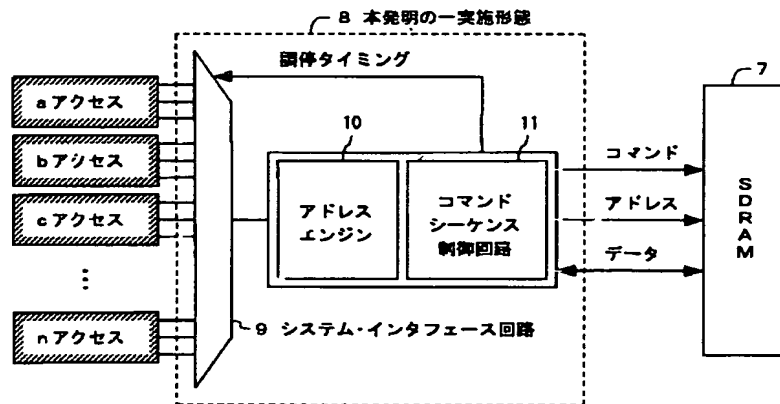
【符号の説明】

- |                            |                    |
|----------------------------|--------------------|
| 1…SDRAM                    | 15…次ライン先頭アドレス計算回路  |
| 2…従来のメモリ・コントローラ            | 16…バンク分断点分析回路      |
| 3a、3b、3c、3n…アドレス計算回路       | 17…セレクト            |
| 4a、4b、4c、4n…コマンド・シーケンス制御回路 | 18…アドレス・バッファ／管理回路部 |
| 5…セレクト                     | 19～22…アドレス・バッファ    |
| 6…タイミング制御回路                | 23…アドレス・バッファ管理回路   |
| 7…SDRAM                    | 24…バンク・ステート・マシーン部  |
| 8…本発明の一実施形態                | 25…バンク0・ステート・マシーン  |
| 9…システム・インタフェース回路           | 26…バンク1・ステート・マシーン  |
| 10…アドレス・エンジン               | 27…バンク2・ステート・マシーン  |
| 11…コマンド・シーケンス制御回路          | 28…バンク3・ステート・マシーン  |
|                            | 29…コマンド発行調停回路      |

【図1】

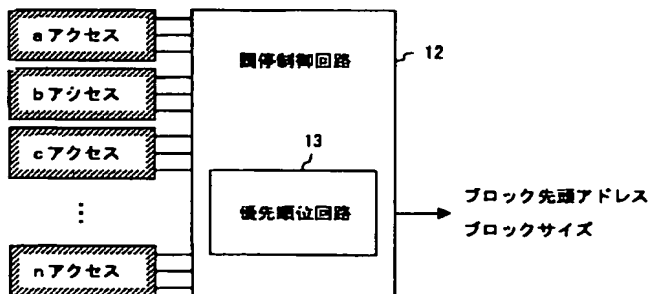
【図7】

本発明の一実施形態の要部を示すブロック回路図

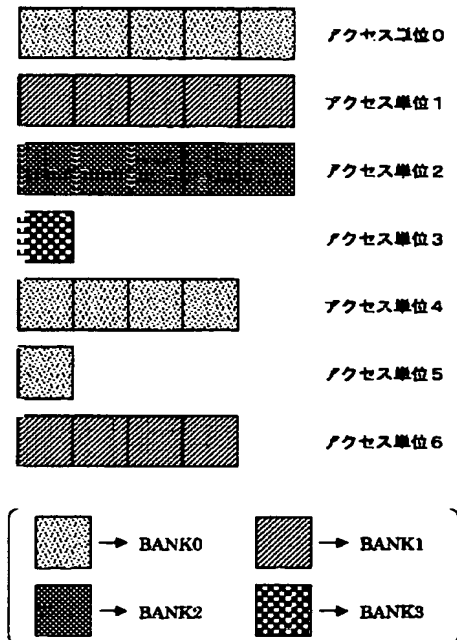


【図2】

システム・インタフェース回路9の要部を示すブロック回路図



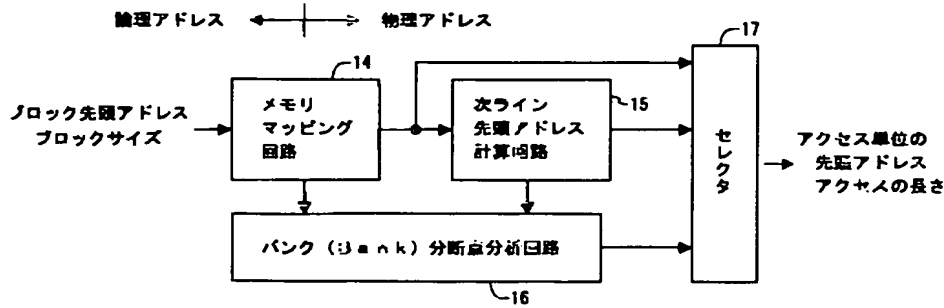
本発明の一実施形態の動作を説明するための図





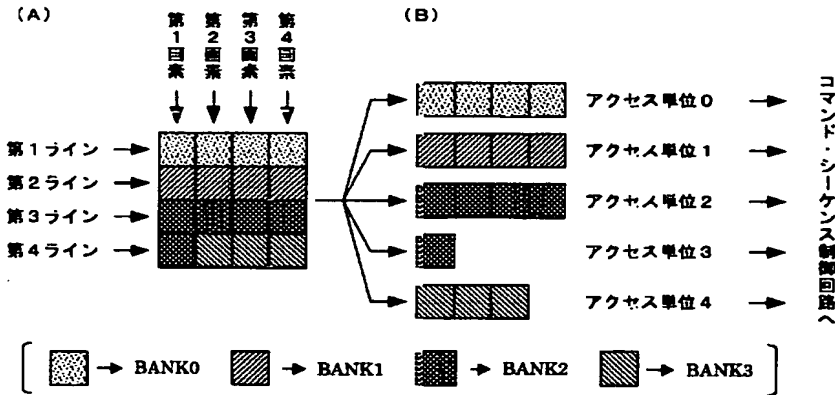
【図3】

アドレス・エンジン10の要部を示すブロック回路図



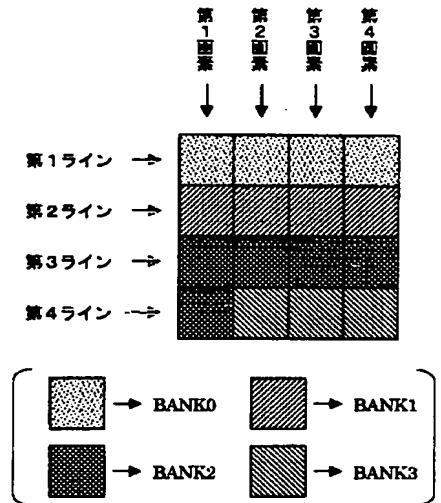
【図4】

アドレス・エンジン10の動作を説明するための図



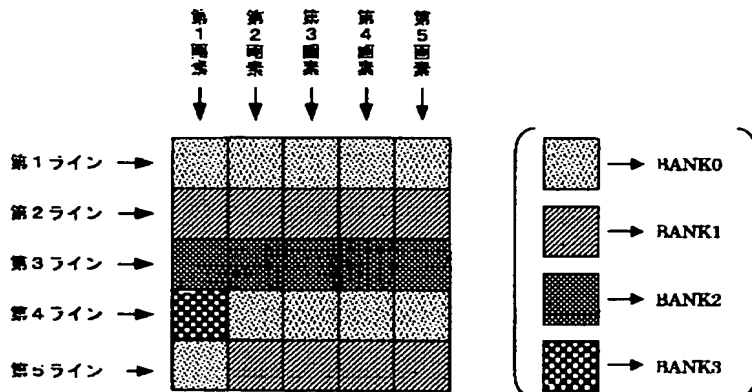
【図11】

画像データを構成する1つのブロックを示す図



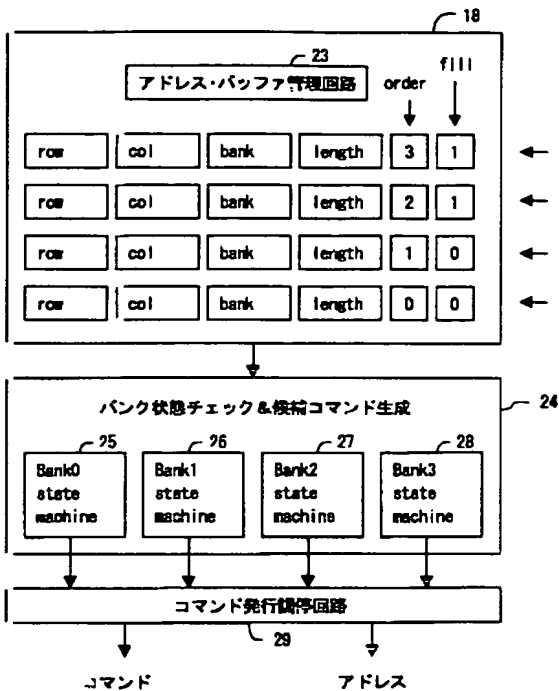
【図6】

本発明の一実施形態の動作を説明するための図



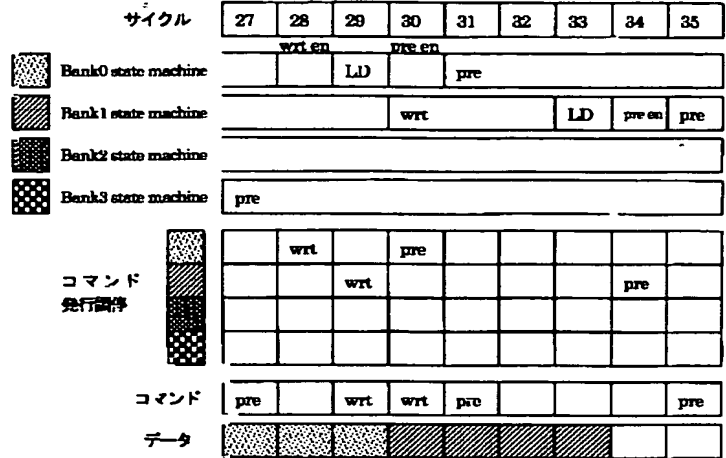
【図5】

コマンド・シーケンス制御回路11の内部を示すブロック回路図



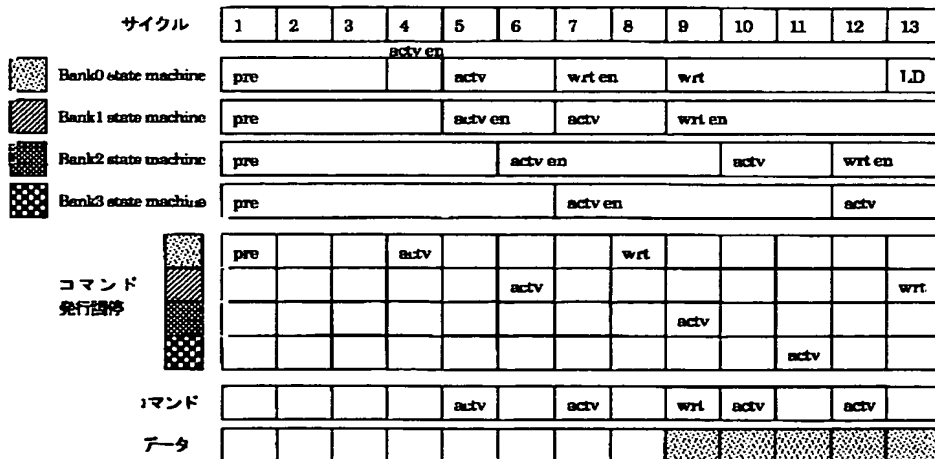
【図10】

本発明の一実施形態の動作を説明するためのタイミングチャート (1RCD=3クロック)

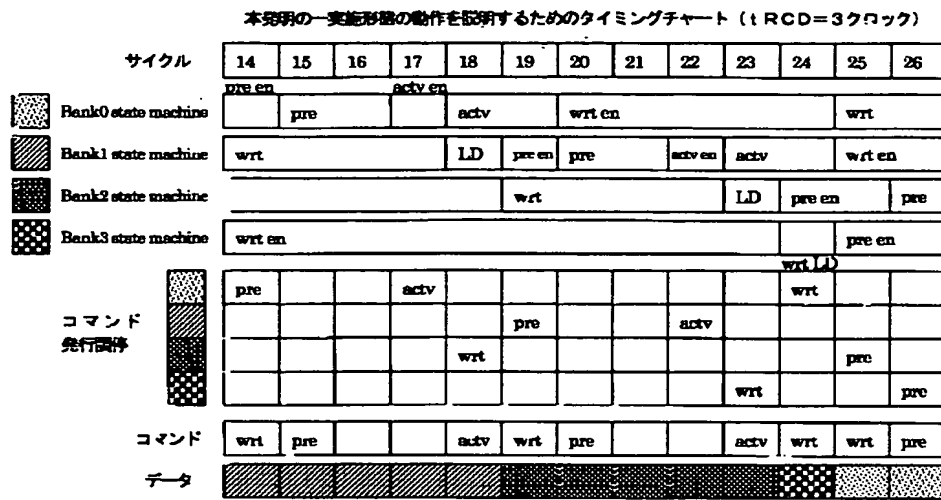


【図8】

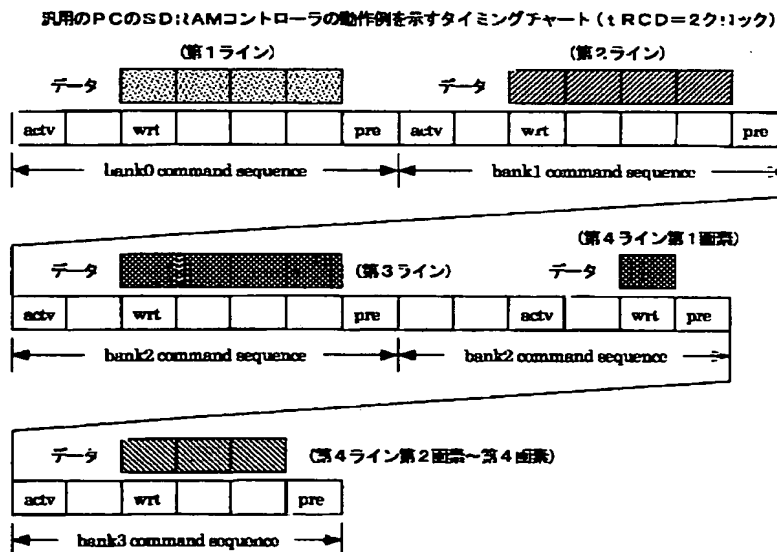
本発明の一実施形態の動作を説明するためのタイミングチャート (1RCD=3クロック)



【図9】

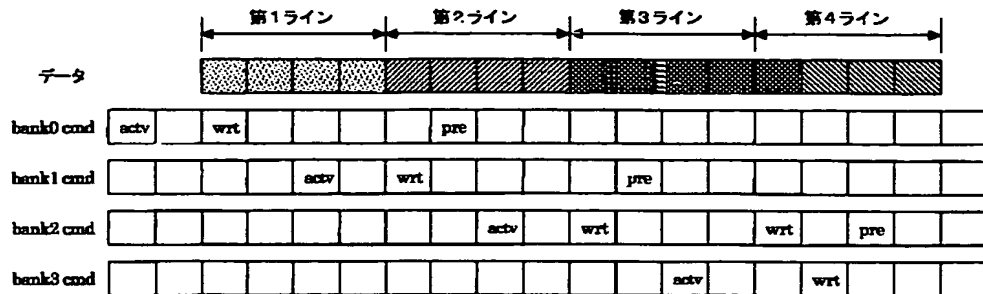


【図12】



【図13】

従来のMPEGシステムのメモリ・コントローラでのコマンド・シーケンス作成例を示す  
タイミングチャート ( $t_{RCU}=2$ クロック)



【図14】

従来のMPEGシステムのメモリ・コントローラの要部を示すブロック回路図

